

1. Napisati sljedeće brojeve:
 - a. decimalni broj 123 kao 8-bitni broj u binarnom obliku; koristiti `_` za bolju čitljivost
 - b. 16-bitni heksadekadni nepoznat broj (x-ovi)
 - c. -2 decimalno zapisan pomoću 4 bita;
 - d. heksadekadni broj 1234 bez navođenja veličine
2. Da li su sljedeći stringovi ispravni? Ako nisu, napisati ispravne stringove.
 - a. "Ovo je string koji prikazuje znak % za procenat"
 - b. "out = in1 + in2"
 - c. "Ovo je backslash \ karakter\n"
3. Da li su ovi identifikatori ispravni?
 - a. system1
 - b. 1reg
 - c. \$latch
 - d. exec\$
4. Deklarisati sljedeće promjenljive u Verilogu:
 - a. 8-bitni vektor tipa *net* sa imenom *a_in*
 - b. 32-bitni registar za smještanje podataka po imenu *adresa*. Bit 31 treba da bude MSB. Podesiti vrijednost registra na 32-bitni decimalni broj jednak 3
 - c. cjeobrojnu po imenu *brojac*
 - d. vremensku promjenljivu po imenu *snap_shot*
 - e. niz po imenu *kasnjenje*; niz se sastoji od 20 elemenata tipa integer
 - f. memoriju MEM koja ima 256 riječi, dužine 64 bita
 - g. parametar *cache_size* jednak 512
5. Šta će biti izlaz/efekat sljedećih izraza:
 - a. `latch = 4'd12;`
`$display("Trenutna vrijednost latch = %b\n", latch);`
 - b. `in_reg = 3'd2;`
`$monitor($time, " in_reg vrijednost = %b\n", in_reg[2:0]);`
 - c. `'define MEM_SIZE 1024`
`$display("Maksimalna veličina memorije je %h", 'MEM_SIZE);`
6. Koje su osnovne komponente modula? Koje su obavezne komponente? Da li modul koji nema interakciju sa okolinom ima portove? Da li takav modul ima listu portova u definiciji modula?